

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085658  
 (43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 27/146  
H04N 5/335

(21)Application number : 11-255905  
 (22)Date of filing : 09.09.1999

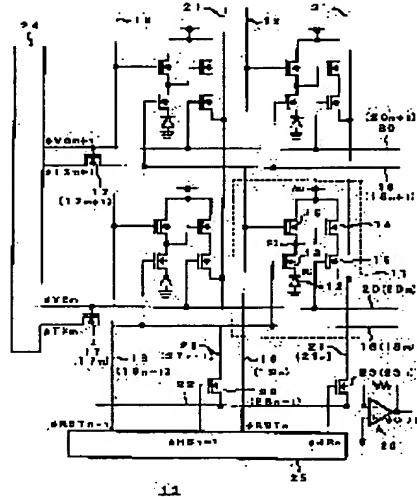
(71)Applicant : SONY CORP  
 (72)Inventor : UENO TAKAHISA  
 SUMI HIROBUMI  
 SUZUKI RYOJI  
 MABUCHI KEIJI

## (54) SOLID-STATE IMAGE PICKUP DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To obtain high quality image by attaining a good signal output through reduction of generation of dark current.

SOLUTION: A solid-state image pick up device 10 for charge accumulation is structured by arranging a pn-junction type sensor PD and pixels 11 including at least transfer transistor 13, and by floating the gate of the transfer transistor 13 under the bias condition that the gate of the transfer transistor 13 immediately before charge accumulation is cut off. Moreover, a crystal defect which generates a leak current is formed at the area near the junction area of the source/drain region of the transistor 17 connected to the gate of transfer transistor 13.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85658

(P2001-85658A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl.  
H 01 L 27/146  
H 04 N 5/335

識別記号

F I  
H 01 L 27/14  
H 04 N 5/335テ-マコ-ト(参考)  
A 4 M 1 1 8  
E 5 C 0 2 4  
R(21)出願番号 特願平11-255905  
(22)出願日 平成11年9月9日(1999.9.9)(71)出願人 000002185  
ソニ-株式会社  
東京都品川区北品川6丁目7番35号  
(72)発明者 上野 貴久  
東京都品川区北品川6丁目7番35号 ソニ-株式会社内  
(72)発明者 角 博文  
東京都品川区北品川6丁目7番35号 ソニ-株式会社内  
(74)代理人 100080883  
弁理士 松隈 秀盛

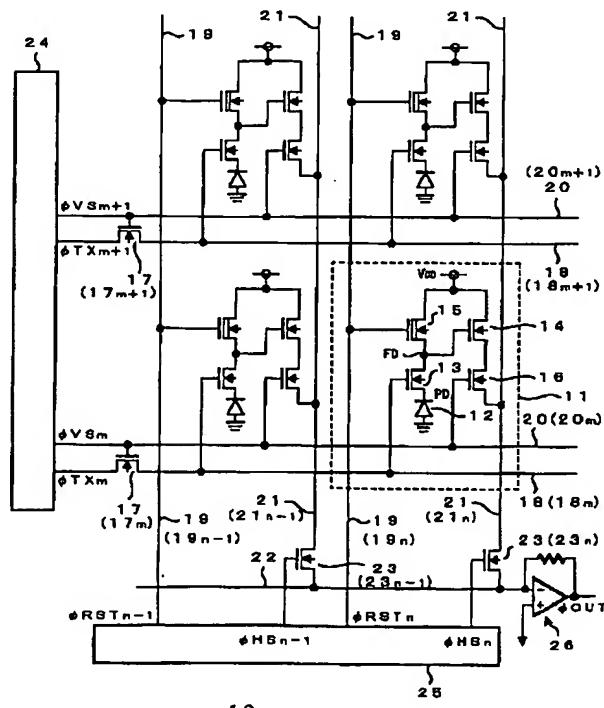
最終頁に続く

(54)【発明の名称】 固体撮像装置

## (57)【要約】

【課題】 暗電流の発生を低減することにより、良好な信号出力が得られ、これにより良好な画質とすることができる固体撮像装置を提供する。

【解決手段】 p-n接合型のセンサ部PDと、少なくとも転送用トランジスタ13を含む画素11が配列されて成り、電荷蓄積の直前の転送用トランジスタ13のゲートがカットオフされたバイアス状態で、転送用トランジスタ13のゲートをフローティング状態にして電荷蓄積を行う固体撮像装置10を構成する。さらに、転送用トランジスタ13のゲートに接続されるトランジスタ17のソース・ドレン領域の接合近傍に、リーク電流が発生する結晶欠陥を形成する。



## 【特許請求の範囲】

【請求項1】  $p-n$  接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成る固体撮像装置であって、

電荷蓄積の直前の上記転送用トランジスタのゲートがカットオフされたバイアス状態で、上記転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行うことを特徴とする固体撮像装置。

【請求項2】  $p-n$  接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成る固体撮像装置であって、

上記転送用トランジスタのゲートに接続されるトランジスタのソース・ドレイン領域の接合近傍に、リーク電流が発生する結晶欠陥が形成されて成り、

電荷蓄積の直前の上記転送用トランジスタのゲートがカットオフされたバイアス状態で、上記転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行うことを特徴とする固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、 $p-n$  接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成る固体撮像装置に係わる。

## 【0002】

【従来の技術】 固体撮像装置の1種として、フォトダイオードを有して成る単位画素にMOSトランジスタを形成してスイッチングを行うようにしたMOS型の固体撮像装置がある。

【0003】 このうち1画素に4つのMOSトランジスタを形成した固体撮像装置を図13に示す。この固体撮像装置110は、 $p-n$  接合型のフォトダイオードPD(112)を有して成る各単位画素111に、それぞれMOSトランジスタ(MISトランジスタ)から成る転送トランジスタ113と、増幅トランジスタ114と、リセットトランジスタ115と、垂直選択トランジスタ116とを有し、この単位画素111がマトリクス状に配列されて構成されている。

【0004】 転送トランジスタ113は、ソース/ドレンの一方がフォトダイオードPDに接続され、他方がリセットトランジスタ115のソース/ドレンの一方に接続され、ゲート(転送ゲート)が垂直読み出し線118に接続されている。転送トランジスタ113とリセットトランジスタ115の接続中点、即ちリセットトランジスタ115のソース/ドレンの一方と兼用する転送トランジスタ113のソース/ドレンの他方は、いわゆるフローティングディフュージョンFDとして構成される。この転送トランジスタ113は、フォトダイオードPDに蓄積された電荷をフローティングディフュージョンFDに転送する。増幅トランジスタ114は、ソース/ドレンがそれぞれ電源電位 $V_{DD}$ と垂直選択トランジスタ116とに接続され、ゲートがフローティングディフュージョンFDに接続されている。この増幅トランジスタ114は、FDに転送された電荷を増幅して信号とする。リセットトランジスタ115は、ソース/ドレンの他方が電源電位 $V_{DD}$ に接続され、ゲートが水平リセット線119に接続されている。このリセットトランジスタ115は、フローティングディフュージョンFDの電荷を排出してリセットする。増幅トランジスタ114に直列接続された垂直選択トランジスタ116は、ソース/ドレンの他方が垂直信号線121に接続され、ゲートが垂直選択線120に接続されている。この垂直選択トランジスタ116は、増幅トランジスタ114により生成された信号を垂直信号線121に送る。

【0005】 垂直選択線120は垂直走査回路124に接続され、駆動パルス $\phi VS$  [ $\phi VS_1, \dots, \phi VS_m, \phi VS_{m+1}, \dots$ ] が供給される。例えばm行の垂直選択線120mには垂直走査回路124から駆動パルス $\phi VS_m$ が印加される。垂直読み出し線118も垂直走査回路124に接続され、駆動パルス $\phi TX$  [ $\phi TX_1, \dots, \phi TX_m, \phi TX_{m+1}, \dots$ ] が供給される。例えばm行の垂直読み出し線118mには垂直走査回路124から駆動パルス $\phi TX_m$ が印加される。水平リセット線119は水平走査回路125に接続され、駆動パルス $\phi RST$  [ $\phi RST_1, \dots, \phi RST_{n-1}, \phi RST_n, \dots$ ] が供給される。例えばn列の水平リセット線119nには水平走査回路125から駆動パルス $\phi RST_n$ が印加される。また、垂直信号線121は水平選択トランジスタ123を介して水平信号線122に接続されている。水平選択トランジスタ123のゲートは水平走査回路125に接続され、駆動パルス $\phi HS$  [ $\phi HS_1, \dots, \phi HS_{n-1}, \phi HS_n, \dots$ ] が供給される。例えばn列の水平選択トランジスタ123nのゲートには水平走査回路125から駆動パルス $\phi HS_n$ が印加される。

【0006】 水平信号線122の先には差動アンプと帰還抵抗からなる電流電圧変換回路126があり、水平信号線122からの信号電流を電圧に変換して信号出力 $\phi OUT$ として出力する。

【0007】 この固体撮像装置110の駆動タイミングチャートを図14に示す。m行の垂直選択線120の駆動パルス $\phi VS_m$ は、1水平走査期間1H中は高レベルになっており、その他の期間は低レベルになっている。従って、この1Hの間はm行の単位画素111の垂直選択トランジスタ116はオンになっている。m行の垂直読み出し線118の駆動パルス $\phi TX_m$ は、上記の水平走査期間1Hの先頭の水平プランギング期間 $HBLK$ の間だけ高レベルになり、その他は低レベル例えば $0V$ となっている。従って、水平プランギング期間 $HBLK$ の間だけm行の単位画素111の転送トランジスタ113がオンになる。

【0008】 本発明は、垂直走査回路124と水平走査回路125の駆動パルス $\phi VS_m$ と $\phi TX_m$ の駆動タイミングチャートを示す。m行の垂直選択線120の駆動パルス $\phi VS_m$ は、1水平走査期間1H中は高レベルになっており、その他の期間は低レベルになっている。従って、この1Hの間はm行の単位画素111の垂直選択トランジスタ116はオンになっている。m行の垂直読み出し線118の駆動パルス $\phi TX_m$ は、上記の水平走査期間1Hの先頭の水平プランギング期間 $HBLK$ の間だけ高レベルになり、その他は低レベル例えば $0V$ となっている。従って、水平プランギング期間 $HBLK$ の間だけm行の単位画素111の転送トランジスタ113がオンになる。

(3)

特開2001-85658

3

【0008】一方、n列の駆動パルス $\phi H S_n$ は、上記の水平走査期間1Hのうちn列が選択される1bitの期間を4つの期間 $t_1 \sim t_4$ に分割したうちの第2の期間 $t_2 \sim$ 第4の期間 $t_4$ だけ高レベルになり、その他は低レベルになっている。従って、この第2の期間 $t_2 \sim$ 第4の期間 $t_4$ のみn列の水平選択トランジスタ123nがオンになって、垂直信号線121から水平信号線122への信号の伝送が可能になっている。n列の水平リセット線19nの駆動パルス $\phi R S T_n$ は、上記のn列が選択される1bitの期間を4つの期間 $t_1 \sim t_4$ に分割したうちの第3の期間 $t_3$ だけ高レベルになり、その他は低レベルになっている。従って、この第3の期間 $t_3$ においてn列の各単位画素111のリセットトランジスタ115がオンになり、フローティングディフュージョンFDの電位が電源電位 $V_{DD}$ にリセットされる。

尚、図14における一番下の波形は信号出力 $\phi O U T$ を示している。

【0009】この駆動タイミングチャートを参照して、図13の固体撮像装置110の駆動を順を追って説明する。まず、m行が選択される水平走査期間1Hの先頭の水平プランギング期間HBLKにおいて、垂直選択線120mの駆動パルス $\phi V S_m$ が高レベルになって、m行の単位画素111の垂直選択トランジスタ116がオンになると共に、m行の垂直読み出し線118mの駆動パルス $\phi T X_m$ も高レベルになるため、m行の各単位画素111の転送トランジスタ113もオンになる。これにより、フォトダイオードPDに蓄積されていた電荷がフローティングディフュージョンFDに転送される。フローティングディフュージョンFDに電荷が転送されて蓄積されることにより、増幅トランジスタ114のゲートが制御され、増幅トランジスタ114がオンになり、フローティングディフュージョンFDの電荷の量に対応した信号が増幅トランジスタ114から垂直選択トランジスタ116に向かう。垂直選択トランジスタ116もオンになっているため、信号は垂直選択トランジスタ116を経て垂直信号線121に伝送される。この水平プランギング期間HBLKの時点では水平選択トランジスタ123がオフになっているので、信号は垂直信号線121にとどまっている。

【0010】水平プランギング期間HBLKが終了すると、垂直読み出し線118mの駆動パルス $\phi T X_m$ が低レベル例え $0V$ になるので、転送トランジスタ113がオフになる。これにより、フォトダイオードPDに光電変換した電荷の蓄積を行うことが可能になる。

【0011】この後は図示しないが、1列から順次1bitの期間ずつ各列に水平走査回路125からの駆動パルスが印加されていく。図14に示すn列においては、次のように動作する。第1の期間 $t_1$ では、1列から前のn-1列が選択されているときと同じ状態であるので省略する。第2の期間 $t_2$ では、駆動パルス $\phi H S_n$ が

50

4

高レベルになり、このn列の水平選択トランジスタ123nがオンになり、垂直信号線121にあった信号が水平信号線122に伝送され、電流電圧変換回路126を経て信号出力 $\phi O U T$ として出力される。これにより、信号出力 $\phi O U T$ に、蓄積された電荷に対応した信号成分、いわゆるノイズ成分を含む画像信号 $S_1$ が現れる。第3の期間 $t_3$ では、駆動パルス $\phi H S_n$ が高レベルのままで、水平リセット線119nの駆動パルス $\phi R S T_n$ が高レベルになる。これにより、n列の単位画素111のリセットトランジスタ115がオンになり、フローティングディフュージョンFDの電位がリセットされて電源電位 $V_{DD}$ に等しくなる。増幅トランジスタ114を流れる信号電流も減少していく。第4の期間 $t_4$ では、駆動パルス $\phi H S_n$ が高レベルのままで、水平リセット線119nの駆動パルス $\phi R S T_n$ が低レベルになる。これにより、n列の単位画素111のリセットトランジスタ115がオフになり、フローティングディフュージョンFDの電位が電源電位 $V_{DD}$ に保持され、増幅トランジスタ114にはこの電位に応じた信号電流が流れる。

20 このとき、垂直選択トランジスタ116及びn列の水平選択トランジスタ123nはオンのままなので、リセットされた電位に基づく信号電流が垂直信号線121n及び水平信号線122を経て電流電圧変換回路126で電圧に変換されて信号出力 $\phi O U T$ として出力される。これにより、信号出力 $\phi O U T$ に、リセットされた電位に基づく信号成分、いわゆるノイズ成分 $S_0$ が現れる。

【0012】そして、相関二重サンプリングCDSによって2つの信号成分 $S_1$ 及び $S_0$ を演算することにより、固定パターンノイズを除去することができる。

30 【0013】  
【発明が解決しようとする課題】しかしながら、上述の構成の固体撮像装置110では、転送トランジスタ113のゲート下の界面において、フォトダイオードPD側からフローティングディフュージョンFD側へ電荷の移動が生じことがある。このことに起因して、フローティングディフュージョンFDの電位が変化し、増幅トランジスタ114を流れる信号電流が変化してしまい、その結果暗電流が発生してしまうことがある。

40 【0014】上述した問題の解決のために、本発明においては、暗電流の発生を低減することにより、良好な信号出力が得られ、これにより良好な画質とすることができる固体撮像装置を提供するものである。

【0015】  
【課題を解決するための手段】本発明の固体撮像装置は、pn接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成り、電荷蓄積の直前の転送用トランジスタのゲートがカットオフされたバイアス状態で、転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行うものである。

50 【0016】上述の本発明の構成によれば、転送用ト

ンジスタのゲートがカットオフされたバイアス状態で、ゲートをフローティング状態とすることにより、バイアス状態におけるゲートと外部との間の容量を利用して、ゲートに負電位を付与することができる。これにより、ゲートの下のポテンシャル分布を変化させて、ゲート下の電荷の移動を抑制することができる。

【0017】本発明の固体撮像装置は、p-n接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成り、転送用トランジスタのゲートに接続されるトランジスタのソース・ドレイン領域の接合近傍にリーク電流が発生する結晶欠陥が形成されて成り、電荷蓄積の直前の転送用トランジスタのゲートがカットオフされたバイアス状態で、転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行うものである。

【0018】上述の本発明の構成によれば、転送用トランジスタのゲートに接続されるトランジスタのソース・ドレイン領域の接合近傍にリーク電流が発生する結晶欠陥が形成されていることにより、バイアス状態にあるこのトランジスタのゲートとソース・ドレイン領域との間の容量を利用してフローティング状態にある転送用トランジスタのゲートに負電位を付与することができるだけでなく、接合近傍に形成された結晶欠陥に起因するリーク電流によってさらに転送用トランジスタのゲートに負電位を付与することができる。従って、より効果的に転送用トランジスタのゲート下の電荷の移動を抑制することができる。

#### 【0019】

【発明の実施の形態】本発明は、p-n接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成る固体撮像装置であって、電荷蓄積の直前の転送用トランジスタのゲートがカットオフされたバイアス状態で、転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行う固体撮像装置である。

【0020】本発明は、p-n接合型のセンサ部と、少なくとも転送用トランジスタを含む画素が配列されて成る固体撮像装置であって、転送用トランジスタのゲートに接続されるトランジスタのソース・ドレイン領域の接合近傍にリーク電流が発生する結晶欠陥が形成されて成り、電荷蓄積の直前の転送用トランジスタのゲートがカットオフされたバイアス状態で、転送用トランジスタのゲートをフローティング状態にして電荷蓄積を行う固体撮像装置である。

【0021】本発明の一実施の形態の固体撮像装置の回路構成図を図1に示す。この固体撮像装置10は、フォトダイオードPD(12)を有して成る各単位画素11に、それぞれMOSトランジスタ(MISトランジスタ)から成る転送トランジスタ13と、増幅トランジスタ14と、リセットトランジスタ15と、垂直選択トランジスタ16とを有し、この単位画素11がマトリクス状に配列されて構成されている。

【0022】転送トランジスタ13は、ソース/ドレンの一方がフォトダイオードPDに接続され、他方がリセットトランジスタ15のソース/ドレンの一方に接続され、ゲート(転送ゲート)が垂直読み出し線18に接続されている。転送トランジスタ13とリセットトランジスタ15の接続中点、即ちリセットトランジスタ15のソース/ドレンの一方と兼用する転送トランジスタ13のソース/ドレンの他方は、いわゆるフローティングディフェージョンFDとして構成される。この転送トランジスタ13は、フォトダイオードPDに蓄積された電荷をフローティングディフェージョンFDに転送する。増幅トランジスタ14は、ソース/ドレンがそれぞれ電源電位V<sub>DD</sub>と垂直選択トランジスタ16とに接続され、ゲートがフローティングディフェージョンFDに接続されている。この増幅トランジスタ14は、FDに転送された電荷を増幅して信号とする。リセットトランジスタ15は、ソース/ドレンの他方が電源電位V<sub>DD</sub>に接続され、ゲートが水平リセット線19に接続されている。このリセットトランジスタ15は、フローティングディフェージョンFDの電荷を排出してリセットする。増幅トランジスタ14に直列接続された垂直選択トランジスタ16は、ソース/ドレンの他方が垂直信号線21に接続され、ゲートが垂直選択線20に接続されている。この垂直選択トランジスタ16は、増幅トランジスタ14により生成された信号を垂直信号線21に送る。

【0023】垂直選択線20は、垂直走査回路24に接続され、駆動パルス $\phi V S$  [ $\phi V S_1, \dots, \phi V S_m, \phi V S_{m+1}, \dots$ ] が供給される。例えばm行の垂直選択線20mには垂直走査回路24から駆動パルス $\phi V S_m$ が印加される。水平リセット線19は、水平走査回路25に接続され、駆動パルス $\phi R S T$  [ $\phi R S T_1, \dots, \phi R S T_{n-1}, \phi R S T_n, \dots$ ] が供給される。例えばn列の水平リセット線19nには水平走査回路25から駆動パルス $\phi R S T_n$ が印加される。また、垂直信号線21は、水平選択トランジスタ23を介して水平信号線22に接続されている。水平選択トランジスタ23のゲートは水平走査回路25に接続され、駆動パルス $\phi H S$  [ $\phi H S_1, \dots, \phi H S_{n-1}, \phi H S_n, \dots$ ] が供給される。例えばn列の水平選択トランジスタ23nのゲートには水平走査回路25から駆動パルス $\phi H S_n$ が印加される。

【0024】水平信号線22の先には差動アンプと帰還抵抗からなる電流電圧変換回路26があり、水平信号線22からの信号電流を電圧に変換して信号出力 $\phi O U T$ として出力する。

【0025】さらに、本実施の形態においては、画素の各行に1つずつ転送選択トランジスタ17が設けられる。この転送選択トランジスタ17のソース/ドレンの一方は垂直走査回路24に接続され、ソース/ドレイ

ンの他方は垂直読み出し線18に接続され、ゲートは垂直選択線20に接続されている。転送選択トランジスタ17のソース／ドレインの一方には、垂直走査回路24から駆動パルス $\phi TX$  [ $\phi TX_1, \dots, \phi TX_m, \phi TX_{m+1}, \dots$ ] が供給される。例えばm行の転送選択トランジスタ17mのソース／ドレインの一方には駆動パルス $\phi TX_m$ が印加される。

【0026】このように各行に転送選択トランジスタ17を設けて構成することにより、次のような動作がなされる。まず、m行の垂直選択線20mの駆動パルス $\phi VS_m$ によりm行の転送選択トランジスタ17mがオンになったときには、m行の画素の転送トランジスタ13のゲートに垂直読み出し線18mを介して駆動パルス $\phi TX_m$ が印加される。これにより、駆動パルス $\phi TX_m$ により転送トランジスタ13のオン／オフの切換が可能になる。

【0027】一方、駆動パルス $\phi VS_m$ によりm行の転送選択トランジスタ17mがオフになったときには、垂直走査回路24と垂直読み出し線18mとの間のチャネルが切断されて転送トランジスタ13のゲートがカットオフされたバイアス状態になり、m行の垂直読み出し線18mとこれに接続されたm行の各単位画素11の転送トランジスタ13のゲートがフローティング状態になる。

【0028】このように転送トランジスタ13のゲートがカットオフされてフローティング状態となることにより、ゲート下の界面における暗電流の発生を低減することができる。その原理を図7を用いて説明する。

【0029】図7は、転送選択トランジスタ17を模式的に示した図であり、p型領域内にソース／ドレインとなるn型領域31及び32とゲート33とを有してなる。左のn型領域31には、垂直走査回路24からの駆動パルス $\phi TX_m$ が印加され、ゲート33には垂直走査回路24から垂直選択線20を経て駆動パルス $\phi VS_m$ が印加される。右のn型領域は転送トランジスタ13のゲートに接続され、この転送トランジスタ13のゲートの電位を $V_G$ とする。そして、ゲート33と右のn型領域32との間には容量C1を有している。

【0030】転送選択トランジスタ17がオンのときは、チャネルがつながって前述のように駆動パルス $\phi TX_m$ が転送トランジスタ13のゲートに印加される。即ちゲート33の電位 $V_G$ が駆動パルス $\phi TX_m$ の電位と一致する。

【0031】一方、転送選択トランジスタ17がオフになると、チャネルが切断されて、右のn型領域32及び転送トランジスタ13のゲートがカットオフされてフローティング状態になる。このカットオフされるのは、ゲート33に印加される駆動パルス $\phi VS_m$ の電位が転送選択トランジスタ17のしきい値より下がったときである。しかし、ゲート33に印加される駆動パルス $\phi VS$

の電位は、しきい値を越えてさらに下がり例えば0Vとなるため、このときゲート33とバイアス状態にある右のn型領域32との間の容量C1によって、右のn型領域32のポテンシャルが負電位側にシフトする。即ち、いわゆるクロックフィードスルーにより負電位側にシフトする。

【0032】これにより、転送トランジスタ13のゲートの電位 $V_G$ が負電位側にシフトして、ゲート下のポテンシャルの状態が変化するために、ゲート下でフォトダイオードPDからフローティングディフュージョンFDに電荷が移動することを抑制し、暗電流を低減することができると考えられる。

【0033】この固体撮像装置10の駆動タイミングチャートを図2に示す。m行の垂直選択線20の駆動パルス $\phi VS_m$ は、1水平走査期間1H中は高レベルになっており、その他の期間は低レベルになっている。従って、この1Hの間はm行の転送選択トランジスタ17mはオンになっている。m行の転送用の駆動パルス $\phi TX_m$ は、上記の水平走査期間1Hの先頭の水平プランギング期間HBLKの間だけ高レベルになり、その他は低レベル例えば0Vとなっている。

【0034】一方、n列の駆動パルス $\phi HS_n$ は、上記の水平走査期間1Hのうちn列が選択される1bitの期間を4つの期間 $t_1 \sim t_4$ に分割したうちの第2の期間 $t_2 \sim$ 第4の期間 $t_4$ だけ高レベルになり、その他は低レベルになっている。従って、この第2の期間 $t_2 \sim$ 第4の期間 $t_4$ のみn列の水平選択トランジスタ23nがオンになって、垂直信号線21から水平信号線22への信号の伝送が可能になっている。n列の水平リセット線19nの駆動パルス $\phi RST_n$ は、上記のn列が選択される1bitの期間を4つの期間 $t_1 \sim t_4$ に分割したうちの第3の期間 $t_3$ だけ高レベルになり、その他は低レベルになっている。従って、この第3の期間 $t_3$ においてn列の各単位画素11のリセットトランジスタ15がオンになり、フローティングディフュージョンFDの電位が電源電位 $V_{DD}$ にリセットされる。

【0035】尚、図2における一番下の波形は、選択されているm行の単位画素11の転送トランジスタ13のゲートの電位 $V_G$ を示しており、その上の波形は信号出力 $\phi OUT$ を示している。

【0036】この駆動タイミングチャートを参照して、本実施の形態の固体撮像装置10の駆動を順を追って説明する。まず、m行が選択される水平走査期間1Hの先頭の水平プランギング期間HBLKにおいて、垂直選択線20mの駆動パルス $\phi VS_m$ が高レベルになって、m行の転送選択トランジスタ17がオンになると共に、駆動パルス $\phi TX_m$ も高レベルになるため、m行の各単位画素11の転送トランジスタ13のゲートの電位 $V_G$ が駆動パルス $\phi TX_m$ と同様に高レベルになり、転送トランジスタ13もオンになる。これにより、フォトダイオ

ードPDに蓄積されていた電荷がフローティングディフュージョンFDに転送される。フローティングディフュージョンFDに電荷が転送されて蓄積されることにより、増幅トランジスタ14がオンになり、フローティングディフュージョンFDの電荷の量に対応した信号が増幅トランジスタ14から垂直選択トランジスタ16に向かう。垂直選択線20mの駆動パルス $\phi V_{S_m}$ が高レベルであるため垂直選択トランジスタ16もオンになっており、信号は垂直選択トランジスタ16を経て垂直信号線21に伝送される。この水平ブランкиング期間HBLKの時点では水平選択トランジスタ23がオフになっているので、信号は垂直信号線21にとどまっている。

【0037】水平ブランкиング期間HBLKが終了すると、駆動パルス $\phi TX_m$ が低レベル例えば0Vになるので、転送トランジスタ13のゲートの電位も低レベルになり、転送トランジスタ13がオフになる。これにより、フォトダイオードPDに光電変換した電荷の蓄積を行うことが可能になる。

【0038】この後は図示しないが、1列から順次1bitの期間ずつ各列に水平走査回路25からの駆動パルスが印加されていく。図2に示すn列においては、次のように動作する。第1の期間 $t_1$ では、1列から前のn-1列が選択されているときと同じ状態であるので省略する。第2の期間 $t_2$ では、駆動パルス $\phi HS_n$ が高レベルになり、このn列の水平選択トランジスタ23nがオンになり、垂直信号線21にあった信号が水平信号線22に伝送され、電流電圧変換回路26を経て信号出力 $\phi OUT$ として出力される。これにより、信号出力 $\phi OUT$ に、蓄積された電荷に対応した信号成分、いわゆるノイズ成分を含む画素信号 $S_1$ が現れる。第3の期間 $t_3$ では、駆動パルス $\phi HS_n$ が高レベルのままで、水平リセット線19nの駆動パルス $\phi RST_n$ が高レベルになる。これにより、n列の単位画素11のリセットトランジスタ15がオンになり、フローティングディフュージョンFDの電位がリセットされて電源電位 $V_{DD}$ に等しくなる。増幅トランジスタ14を流れる信号電流も減少していく。第4の期間 $t_4$ では、駆動パルス $\phi HS_n$ が高レベルのままで、水平リセット線19nの駆動パルス $\phi RST_n$ が低レベルになる。これにより、n列の単位画素11のリセットトランジスタ15がオフになり、フローティングディフュージョンFDの電位が電源電位 $V_{DD}$ に保持され、増幅トランジスタ14にはこの電位に応じた信号電流が流れ。このとき、垂直選択トランジスタ16及びn列の水平選択トランジスタ23nはオンのままなので、リセットされた電位に基づく信号電流が垂直信号線21n及び水平信号線22を経て信号出力 $\phi OUT$ として出力される。これにより、信号出力 $\phi OUT$ に、リセットされた電位に基づく信号成分、いわゆるノイズ成分 $S_0$ が現れる。

【0039】そして、相関二重サンプリングCDSによ

って2つの信号成分 $S_1$ 及び $S_0$ を演算することにより、固定パターンノイズを除去することができる。

【0040】第4の期間 $t_4$ が終了し次のn+1列の1bitに移ると、駆動パルス $\phi HS_n$ も低レベルになり、n列の水平選択トランジスタ23nがオフになり、n列の信号電流は水平信号線22に流れなくなる。

【0041】そして、m行の全ての列の単位画素11から信号が読み出され、水平走査期間1Hが終了すると、m行の垂直選択線20mの駆動パルス $\phi V_{S_m}$ が低レベルになり、m行の転送選択トランジスタ17がオフになる。これにより、m行の単位画素11の転送トランジスタ13のゲートがカットオフされてバイアス状態となることより、この転送トランジスタ13のゲートがフローティング状態になるため、前述のようにゲートの電位 $V_G$ が負電位側にシフトする。この負電位側にシフトした状態は、m行が選択される水平走査期間1H以外の期間継続されるため、この間の暗電流が抑制される。例えれば500行の画素であれば、残りの499Hの間はこの状態にあるので、ほとんど暗電流を抑制できることになる。

【0042】上述の本実施の形態によれば、電荷蓄積の直前の転送トランジスタ13のゲートがカットオフされたバイアス状態で、転送トランジスタ13のゲートをフローティング状態にして電荷蓄積を行うことにより、電荷蓄積の間に転送トランジスタ13の下でフォトダイオードPDからフローティングディフュージョンFDへ電荷が流れてしまうことを抑制することができる。

【0043】続いて、本発明の固体撮像装置のその他の実施の形態について説明する。本実施の形態は、転送を制御する転送選択トランジスタを各単位画素に設けた場合である。本発明の他の実施の形態の固体撮像装置の回路構成図を図3に示す。

【0044】この固体撮像装置30は、マトリクス状に配置された各単位画素11に、転送選択トランジスタ17を設けている。転送選択トランジスタ17のソース/ドレインの一方は転送トランジスタ13のゲートに接続され、ソース/ドレインの他方は図1の構成の垂直読み出し線18の代わりに設けられた水平読み出し線28に接続され、ゲートは垂直選択線20に接続されている。

【0045】図7の原理図において、本実施の形態では左のn型領域31に印加される駆動パルスが $\phi TX_n$ となる以外は先の実施の形態と同様であり、転送選択トランジスタ17をオフにして、転送トランジスタ13のゲートをカットオフしたバイアス状態とすることにより、

転送トランジスタ 13 のゲートをフローティング状態にすると共にゲート電位  $V_G$  を負電位側にシフトさせて暗電流を低減することができる。

【0046】この固体撮像装置 30 の駆動タイミングチャートを図 4 に示す。図 2 に示した先の実施の形態の駆動タイミングチャートとは若干異なっている。m 行の垂直選択線 20 の駆動パルス  $\phi V_{S_m}$  は、1 水平走査期間 1H 中は高レベルになっており、その他の期間は低レベルになっている。従って、この 1H の間は m 行の各単位画素 11 の転送選択トランジスタ 17 はオンになっている。n 列の駆動パルス  $\phi H_{S_n}$  は、上記の水平走査期間 1H のうち n 列が選択される 1bit の期間だけ高レベルになり、その他は低レベルになっている。従って、この 1bit の期間のみ n 列の水平選択トランジスタ 23n がオンになって、垂直信号線 21 から水平信号線 22 への信号の伝送が可能になっている。n 列の水平リセット線 19n の駆動パルス  $\phi RST_n$  は、上記の n 列が選択される 1bit の期間を 4 つの期間  $t_1 \sim t_4$  に分割したうちの第 1 の期間  $t_1$  だけ高レベルになり、その他は低レベルになっている。従って、この第 1 の期間  $t_1$  において n 列の各単位画素 11 のリセットトランジスタ 15 がオンになり、フローティングディフュージョン FD の電位が電源電位  $V_{DD}$  にリセットされる。また、n 列の水平読み出し線 28n の駆動パルス  $\phi TX_n$  は、4 つの期間  $t_1 \sim t_4$  のうちの第 3 の期間  $t_3$  だけ高レベルになり、その他は低レベルになっている。従って、この第 3 の期間  $t_3$  において n 列の各単位画素 11 の転送トランジスタ 13 がオンになり、フォトダイオード PD からフローティングディフュージョン FD へ蓄積された電荷が転送される。

【0047】尚、図 4 における一番下の波形は、選択されている m 行の単位画素 11 の転送トランジスタ 13 のゲートの電位  $V_G$  を示しており、その上の波形は信号出力  $\phi OUT$  を示している。

【0048】この駆動タイミングチャートを参照して、本実施の形態の固体撮像装置 30 の駆動を順を追って説明する。まず、m 行が選択される水平走査期間 1H の先頭の水平プランギング期間 HBLKにおいて、垂直選択線 20m の駆動パルス  $\phi V_{S_m}$  が高レベルになって、m 行の各単位画素 11 の転送選択トランジスタ 17 がオンになると共に、垂直選択トランジスタ 16 もオンになる。この状態は水平プランギング期間 HBLK が終了しても継続される。

【0049】水平プランギング期間 HBLK が終了した後は図示しないが、1 列から順次 1bit の期間ずつ各列に水平走査回路 25 からの駆動パルスが印加されていく。図 4 に示す n 列においては、次のように動作する。第 1 の期間  $t_1$  では、駆動パルス  $\phi H_{S_n}$  が高レベルになり、この n 列の水平選択トランジスタ 23n がオンになる。上述のように垂直選択トランジスタ 16 がオンに

なっているので、増幅トランジスタ 14 で生じた信号電流を垂直選択トランジスタ 16、垂直信号線 21 を経て水平信号線 22 に伝送して信号出力  $\phi OUT$  として出力することが可能になる。また同時に水平リセット線 19n の駆動パルス  $\phi RST_n$  が高レベルになり、n 列の単位画素 11 のリセットトランジスタ 15 がオンになり、フローティングディフュージョン FD の電位がリセットされて電源電位  $V_{DD}$  に等しくなる。これにより、増幅トランジスタ 14 を流れる信号電流も減少していく。第 2 10 の期間  $t_2$  では、駆動パルス  $\phi H_{S_n}$  が高レベルのままで、水平リセット線 19n の駆動パルス  $\phi RST_n$  が低レベルになる。これにより、n 列の単位画素 11 のリセットトランジスタ 15 がオフになり、フローティングディフュージョン FD の電位が電源電位  $V_{DD}$  に保持され、増幅トランジスタ 14 にはこの電位に応じた信号電流が流れる。このとき、垂直選択トランジスタ 16 及び n 列の水平選択トランジスタ 23n はオンのままなので、リセットされた電位に基づく信号電流が垂直信号線 21n 及び水平信号線 22 を経て信号出力  $\phi OUT$  として出力 20 される。これにより、信号出力  $\phi OUT$  に、リセットされた電位に基づく信号成分、いわゆるノイズ成分  $S_0$  が現れる。第 3 の期間  $t_3$  では、駆動パルス  $\phi H_{S_n}$  が高レベルのままで、n 列の水平読み出し線 28n の駆動パルス  $\phi TX_n$  が高レベルになる。これにより、n 列の各単位画素 11 の転送トランジスタ 13 のゲートの電位  $V_G$  が駆動パルス  $\phi TX_n$  と同様に高レベルになり、転送トランジスタ 13 もオンになる。これにより、フォトダイオード PD に蓄積されていた電荷がフローティングディフュージョン FD に転送される。フローティングディフュージョン FD に電荷が転送されて蓄積されることにより、フローティングディフュージョン FD の電荷の量に対応した信号電流が増幅トランジスタ 14 から垂直選択トランジスタ 16 に向かう。垂直選択トランジスタ 16 及び水平選択トランジスタ 23n がオンのままなので、この信号電流が水平信号線 21n、水平信号線 22、電流電圧変換回路 26 を経て信号出力  $\phi OUT$  として出力される。第 4 の期間  $t_4$  では、駆動パルス  $\phi H_{S_n}$  が高レベルのままで、n 列の水平読み出し線 28n の駆動パルス  $\phi TX_n$  が低レベルになる。これにより、転送トランジスタ 13 がオフになり、フォトダイオード PD に光電変換した電荷の蓄積を行うことが可能になる。またフローティングディフュージョン FD の電位が安定するので増幅トランジスタ 14 の信号電流も安定し、この安定した信号電流が信号出力  $\phi OUT$  として出力される。これにより、信号出力  $\phi OUT$  に、蓄積された電荷に対応した信号成分、いわゆるノイズ成分を含む画素信号  $S_1$  が現れる。 40 50 【0050】そして、相間二重サンプリング CDS によって 2 つの信号成分  $S_1$  及び  $S_0$  を演算することにより、固定パターンノイズを除去することができる。

【0051】第4の期間  $t_4$  が終了し次の  $n+1$  列の 1 bit に移ると、駆動パルス  $\phi H_{S_n}$  も低レベルになり、n列の水平選択トランジスタ  $23_n$  がオフになり、n列の信号電流は水平信号線 22 に流れなくなる。

【0052】そして、m行の全ての列の単位画素 11 から信号が読み出され、水平走査期間 1H が終了すると、m行の垂直選択線 20m の駆動パルス  $\phi V_{S_m}$  が低レベルになり、m行の各単位画素 11 の転送選択トランジスタ 17 がオフになる。これにより、転送トランジスタ 13 のゲートがカットオフされたバイアス状態となることにより、転送トランジスタ 13 のゲートがフローティング状態になるため、前述のようにゲートの電位  $V_G$  が負電位側にシフトする。この負電位側にシフトした状態が、m行が選択される水平走査期間 1H 以外の期間継続されるため、この間の暗電流が抑制される。

【0053】上述の本実施の形態によれば、先の実施の形態と同様に、電荷蓄積の直前の転送トランジスタ 13 のゲートがカットオフされたバイアス状態で、転送トランジスタのゲートをフローティング状態にして電荷蓄積を行うことにより、電荷蓄積の間に転送トランジスタ 13 の下でフォトダイオード PD からフローティングディフュージョン FD へ電荷が流れてしまうことを抑制することができる。

【0054】上述の各実施の形態では、図 13 に示した従来の4つのMOSトランジスタを有する構成のMOS型固体撮像装置に対して、本発明を適用して転送選択トランジスタ 17 を設けたが、本発明はその他の構成のMOS型固体撮像装置にも適用することができる。例えばフォトダイオードを有して成る単位画素にMOSトランジスタを1つ～3つ設けた構成においても本発明を適用することができる。そして、少なくとも単位画素に転送トランジスタを有する構成であれば、本発明を適用して、転送トランジスタを転送選択トランジスタでオン／オフすると共に、転送トランジスタのゲートをフローティング状態にするように構成することが可能である。少なくとも単位画素に転送トランジスタを有して成り、かつ画素構造が簡略化された構成の実施の形態を次に示す。

【0055】本発明の別の実施の形態の固体撮像装置の回路構成図を図5に示す。尚、図5において、機能・役割が図1及び図3と同様の回路は、図1及び図3と同一の符号を付している。この固体撮像装置40は、フォトダイオード PD (12) を有して成る単位画素 11 にMOSトランジスタ (MISトランジスタ) から成る転送トランジスタ 13 を有している。この単位画素 11 が、マトリクス状に配列されて固体撮像装置40が構成される。

【0056】転送トランジスタ 13 のソース／ドレインの一方がフォトダイオード PD に接続され、他方が垂直信号線 21 に接続されている。即ちこの固体撮像装置4

0 ではフローティングディフュージョン FD を設けていない。また、転送トランジスタ 13 のゲートは垂直読み出し線 18 に接続されている。

【0057】垂直信号線 21 は、反転増幅器 42 及び検出キャパシタ 43 から成る電荷検出回路を介して水平選択トランジスタ 23 のソース／ドレインの一方に接続されている。水平選択トランジスタ 23 のソース／ドレインの他方は水平信号線 22 に接続されている。水平選択トランジスタ 23 のゲートは水平走査回路 25 に接続され、駆動パルス  $\phi H$  [ $\phi H_1, \dots, \phi H_n, \dots$ ] が供給され、例えば n列の水平選択トランジスタ 23\_n のゲートには水平走査回路 25 から駆動パルス  $\phi H_n$  が印加される。水平信号線 22 の先には図示しないが図1や図3に示した電流電圧変換回路 26 等が設けられる。

【0058】そして、各行には 1 つずつ転送選択トランジスタ 17 が設けられている。この転送選択トランジスタ 17 のソース／ドレインの一方は垂直走査回路 24 に接続され、ソース／ドレインの他方は垂直読み出し線 18 に接続され、ゲートは垂直走査回路 24 に接続されている。各転送選択トランジスタ 17 のソース／ドレインの一方には垂直走査回路 24 から駆動パルス  $\phi TX$  [ $\phi TX_1, \dots, \phi TX_m, \phi TX_{m+1}, \dots$ ] が供給され、例えば m行の転送選択トランジスタ 17\_m には駆動パルス  $\phi TX_m$  が印加される。各転送選択トランジスタ 17 のゲートには垂直走査回路 24 から駆動パルス  $\phi A$  [ $\phi A_1, \dots, \phi A_m, \phi A_{m+1}, \dots$ ] が供給され、例えば m行の転送選択トランジスタ 17\_m のゲートには駆動パルス  $\phi A_m$  が印加される。

【0059】この場合も各行に転送選択トランジスタ 17 を設けて構成することにより、次のような動作がなされる。まず、m行の駆動パルス  $\phi A_m$  により m行の転送選択トランジスタ 17\_m がオンになったときには、m行の画素の転送トランジスタ 13 のゲートに垂直読み出し線 18\_m を介して駆動パルスが印加される。これにより、駆動パルス  $\phi TX_m$  により転送トランジスタ 13 のオン／オフの切換が可能になる。

【0060】一方、駆動パルス  $\phi A_m$  により m行の転送選択トランジスタ 17\_m がオフになったときには、垂直走査回路 24 と垂直読み出し線 18\_m との間の転送選択トランジスタ 17\_m のチャネルが切断されて、m行の垂直読み出し線 18\_m とこれに接続された m行の各単位画素 11 の転送トランジスタ 13 のゲートがカットオフされたバイアス状態となって、転送トランジスタ 13 のゲートがフローティング状態になる。

【0061】このように転送トランジスタ 13 のゲートがカットオフされたバイアス状態においてフローティング状態となることにより、先の実施の形態と同様に、ゲート下の界面における暗電流の発生を低減することができる。

【0062】図 7 の原理図において、本実施の形態では

ゲート33に印加される駆動パルスが $\phi A_m$ となる以外は図1に示した実施の形態と同様であり、転送トランジスタ17のゲートがカットオフされたバイアス状態で、転送トランジスタ13のゲートをフローティング状態にすることにより、この転送トランジスタ13のゲート電位 $V_G$ を負電位側にシフトさせて暗電流を低減することができる。

【0063】この固体撮像装置40の駆動タイミングチャートを図6に示す。m行の駆動パルス $\phi A_m$ は、m行が選択される水平走査期間1Hの先頭の水平プランギング期間HBLKは高レベルになっており、その他の期間は低レベルになっている。従って、この水平プランギング期間HBLKの間はm行の転送選択トランジスタ17mはオンになっている。m行の転送用の駆動パルス $\phi TX_m$ は、上記水平プランギング期間HBLKのうち一部の期間だけ高レベルになり、その他の期間は低レベル例えば0Vとなっている。従って、この一部の期間ではm行の単位画素の転送トランジスタ13がオンになる。一方、n列の駆動パルス $\phi H_n$ は、上記の水平走査期間1Hのうち水平プランギング期間HBLKが終了した後のn列が選択される期間だけ高レベルになり、その他は低レベルになっている。従って、この期間のみn列の水平選択トランジスタ23nがオンになって、垂直信号線21nから水平信号線22への信号の伝送が可能になる。

【0064】この駆動タイミングチャートを参照して、本実施の形態の固体撮像装置40の駆動を順を追って説明する。まず、m行が選択される水平走査期間1Hの先頭の水平プランギング期間HBLKにおいて、駆動パルス $\phi A_m$ が高レベルになって、m行の転送選択トランジスタ17がオンになる。このとき駆動パルス $\phi TX_m$ は低レベルであるので、転送トランジスタ13はオンにならない。続いて、駆動パルス $\phi TX_m$ も高レベルになり、m行の各単位画素11の転送トランジスタ13のゲートの電位 $V_G$ が駆動パルス $\phi TX_m$ と同様に高レベルになり、転送トランジスタ13もオンになる。これにより、フォトダイオードPDに蓄積されていた電荷が垂直信号線21に伝送される。この水平プランギング期間HBLKの時点では水平選択トランジスタ23がオフになっているので、信号は垂直信号線21にとどまる。

【0065】そして、先に駆動パルス $\phi TX_m$ が低レベル例えば0Vになり、転送トランジスタ13のゲートの電位も低レベルになって、転送トランジスタ13がオフになる。これにより、フォトダイオードPDに光電変換した電荷の蓄積を行うことが可能になる。続いて、水平プランギング期間HBLKが終了すると、駆動パルス $\phi A_m$ も低レベルになるので、m行の転送選択トランジスタ17がオフになる。これにより、m行の転送選択トランジスタ17のチャネルが切断されて、m行の垂直読み出し線18mと転送トランジスタ13のゲートがカットオフされたバイアス状態となることにより、転送トラン

ジスタ13のゲートがフローティング状態になるため、前述のようにゲートの電位 $V_G$ が負電位側にシフトする。この負電位側にシフトした状態が、m行が選択される水平走査期間1Hの水平プランギング期間HBLK以外の期間継続されるため、この間の暗電流が抑制される。

【0066】この後は図示しないが、1列から順次各列に水平走査回路25からの駆動パルスが印加されていく。図6に示すn列においては、n列が選択されるときに水平走査回路25からの駆動パルス $\phi H_n$ が高レベルになる。これにより、このn列の水平選択トランジスタ23nがオンになり、垂直信号線21にあった信号が水平信号線22に伝送され、所定の回路を経て蓄積された電荷に対応した信号出力が出来される。次のn+1列に移ると、駆動パルス $\phi H_{n+1}$ も低レベルになり、n列の水平選択トランジスタ23nがオフになり、n列の信号電流は水平信号線22に流れなくなる。そして、m行の全ての列の単位画素11から信号が読み出され、水平走査期間1Hが終了すると、次のm+1行に移る。

【0067】上述の本実施の形態によっても、先の各実施の形態と同様に、転送トランジスタ13のゲートがカットオフされたバイアス状態で、転送トランジスタのゲートをフローティング状態にして電荷蓄積を行うことにより、電荷蓄積の間に転送トランジスタ13の下でフォトダイオードPDからフローティングディフェージョンFDへ電荷が流れてしまうことを抑制することができる。

【0068】続いて、本発明による固体撮像装置のさらに他の実施の形態について説明する。本実施の形態は、上述の各実施の形態で説明した暗電流の低減方法にさらに効果的に暗電流を低減するものである。

【0069】図8に本発明のさらに他の実施の形態の固体撮像装置の概略構成図(回路の概略構成図)を示す。本実施の形態は、前述の図1、図3及び図5に示した各実施の形態の固体撮像装置10、30、40において、さらに暗電流を低減するための構成である。

【0070】図8Aは転送トランジスタ部13及び転送選択トランジスタ部17の平面図、図8Bは図8AのA-Aにおける断面図、図8Cは図8Bの要部(転送選択トランジスタ部17)の拡大図をそれぞれ示している。図8中、51は転送トランジスタ13のゲート、52及び55は転送選択トランジスタ17のソース/ドレイン、54は転送選択トランジスタ17のゲート、53は転送トランジスタ13と転送選択トランジスタ17とを接続する配線、56は素子分離領域、57はゲート51、54の周囲のサイドウォールとゲート絶縁膜を構成する絶縁膜をそれぞれ示す。配線53は、図1及び図5の固体撮像装置では垂直読み出し線18に相当する。

【0071】また、図8Cの拡大図に示すように、p型領域59内に転送選択トランジスタ17のソース/ドレ

インとなるn型領域52及び55が形成され、配線53に接続される右のn型領域52は低不純物濃度( $n^-$ )、左のn型領域55は高不純物濃度( $n^+$ )となっている。また左側には低濃度のいわゆるLDD領域58が形成されている。尚、p型領域59は特に限定しないが、p型基板、基板に不純物導入して形成されたp型不純物領域、p型エピタキシャル層等の構成が考えられる。

【0072】この図8の転送トランジスタ13及び転送選択トランジスタ17の構成が、前述の図1、図3及び図5の各実施の形態の固体撮像装置10、30、40における各転送トランジスタ13及び転送選択トランジスタ17に適用される。

【0073】本実施の形態では、特に、転送選択トランジスタ17側において、転送トランジスタ13のゲート51に配線53を介して接続された転送選択トランジスタ17の右の低濃度n型領域52の外側に一部p型領域59が露出し、露出した部分59aと低濃度n型領域52の表面に、×印で示す結晶欠陥60が形成されている。

【0074】この結晶欠陥60は、結晶欠陥60において電荷が発生し、発生した電荷が移動してリーク電流を発生する要因となるものである。

【0075】左の高濃度n型領域55側では、空乏領域61Aは高濃度n型領域55の外の素子分離領域56下に形成される。一方、右の低濃度n型領域52側では、空乏領域61Bは、低濃度n型領域52とp型領域59の露出部59aのpn接合付近に形成される。これにより、pn接合部に結晶欠陥60に起因する電荷(電子)が生成して、図9に示すように電子 $e^-$ が移動してリーク電流を生じる。

【0076】このリーク電流が図9に示すように配線53を流れることにより、転送トランジスタ13のゲート51に達して、このゲート51がさらに負電位にシフトするようになる。従って、ゲート51下の暗電流をより効果的に抑制することができる。

【0077】このリーク電流によりゲート51に印加される負電位は、p型領域59と低濃度n型領域52とのビルドインポテンシャル分に相当する。

【0078】図8に示す構造を製造する方法を図10を用いて説明する。まず、図示しないが、p型領域59にLOCOS (LOCal Oxidation of Silicon) 酸化膜からなる素子分離領域56を形成しておく。そして、例えば多結晶シリコン膜を形成し、所定のパターンにパターニングしてゲート54を形成する。

【0079】次に、図10Aに示すように、ゲート54をマスクとしてp型領域59にn型の低濃度のイオン注入を行って、低濃度n型領域52を形成する。次に、図10Bに示すように、全面を覆って例えばSiO<sub>2</sub>もしくはSi<sub>3</sub>N<sub>4</sub>からなる絶縁層71を形成する。

【0080】次に、図10Cに示すように、絶縁層71に対してエッチバック72を行うことにより、ゲート54の外側にサイドウォール57を形成すると共に、その他の絶縁層71を除去する。このとき、エッチバック72の条件は、素子分離領域56のLOCOS酸化膜のSiO<sub>2</sub>と絶縁層71とのエッティング選択比が取れないで、素子分離領域56もエッティングされて、そのエッジ部が後退する。これにより、p型領域59のpn接合付近の部分59aが表面に露出する。この露出した部分59aは、エッチバック72のエッティングによりダメージを受け、この際に界面準位密度の増大や結晶欠陥の発生が起こる。

【0081】次に、図10Dに示すように、後に配線53が接続される側(図中右側)の低濃度n型領域52を覆ってレジスト73を堆積し、このレジスト73をマスクとして、p型領域59に高濃度のn型不純物のイオン注入74を行って、高濃度n型領域55を形成する。このとき、絶縁膜57のサイドウォールによって、その下には高濃度のn型不純物のイオン注入74がなされず、低濃度n型領域52が残ってLDD領域58となる。また、高濃度のn型不純物のイオン注入74を行うことにより、後退した素子分離領域56の位置までn型不純物が注入されるため、表面のp型領域が露出しなくなると共に結晶欠陥のある場所からpn接合部が離れるのでリーク電流が抑制される。

【0082】続いて、レジスト73を除去して、図10Eに示すように、図8に示した構成の本実施の形態の固体撮像装置を製造することができる。低濃度n型領域52とp型領域59とによるpn接合の一部が表面に露出しており、しかもこの部分はエッチバック72により表面に結晶欠陥60(図8C・図9参照)が形成されているため、この部分でリーク電流を発生する。

【0083】上述の本実施の形態においては、配線53に接続する低濃度n型領域52には高濃度n型領域を形成するイオン注入74を行わないため、エッティングダメージにより増大した界面準位密度、結晶欠陥は空乏領域61B内に含まれ、そのためリーク電流が増大する。

【0084】尚、配線53との接続抵抗を低減するためには、右のn型領域も高濃度n型領域55にしたい場合も考えられる。その場合の製法を図11に示す。図11A～図11Cは、図10A～図10Cに示した工程と同じである。

【0085】本製法では、図11Cの状態から、通常のCMOSトランジスタの製造プロセスと同様に、両側のn型領域に高濃度のn型不純物のイオン注入を行う。即ち図11Dに示すように、低濃度n型領域52に対して、高濃度のn型不純物のイオン注入74を行って、高濃度n型領域55及びLDD領域58を形成する。高濃度n型領域55は、エッチバックで後退した素子分離領域56のエッジまで形成され、p型領域59が表面に露

出しなくなる。

【0086】続いて、表面をレジスト75で覆い、右の高濃度n型領域55と素子分離領域56の境界付近のみレジスト75に開口を形成する。このレジスト75をマスクとして、エッチング76を行う。これにより、素子分離領域56のエッジがさらに後退して、再びp型領域の一部59aが表面に露出する。このときエッチングされた表面においては、図示しないが結晶欠陥が形成される。

【0087】この製法によれば、右側のn側領域において高濃度n型領域55とp型領域の表面に露出した部分59aに結晶欠陥を形成して、これらのpn接合部にリーク電流を発生させることができ、配線53を通じて転送トランジスタ13のゲート51に負電位を与えることができる。また、図10の製法と比較して、工程数が増える代わりに、配線53に接続されるn型領域55が高濃度であるために配線53との接触抵抗が小さくなる利点を有している。特に配線53にA1配線等の金属配線を使用する場合に有効である。

【0088】尚、本実施の形態による、pn接合部付近の単位長さ当たりのリーク電流は、数  $pA/\mu m$  オーダーに達し、10fF程度の容量を持つ転送トランジスタ13のゲート51を10H(水平走査期間)程度の期間即ち100μ秒程度で-0.7V程度まで充電することができる。

【0089】本実施の形態では、素子分離領域56をLOCOS酸化膜により形成した場合について説明したが、素子分離領域を表面に溝を掘って絶縁層で埋めた埋め込み絶縁層により形成してもよい。その場合の形態を図12に示す。図12に示すように、埋め込み絶縁層により素子分離領域65を形成する。そして、配線53に接続される右側の低濃度のn型領域52及びその下のp型領域59と素子分離領域65との境界付近に結晶欠陥66が形成されている。従って、低濃度のn型領域52及びその下のp型領域59によるpn接合部付近に結晶欠陥66があり、これによりリーク電流を発生させて、配線53を通じて転送トランジスタ13のゲート51に負電位を付与することができる。

【0090】素子分離領域65を構成する埋め込み絶縁層は、エッチングにより溝を形成した後、表面を覆って絶縁層を形成し、溝内を除く表面の絶縁層を除去することによって形成することができる。そして、溝を形成するエッチングの際に結晶欠陥66が形成される。

【0091】尚、左側の高濃度のn型領域55では、結晶欠陥によるリーク電流を抑制するために、素子分離領域65の周囲にイオン注入によりp型不純物領域67が形成されている。このp型不純物領域67を形成することにより、pn接合部が結晶欠陥から離れるためリーク電流を抑制することができる。

【0092】本発明は、上述の実施の形態に限定される

ものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0093】

【発明の効果】上述の本発明によれば、転送用トランジスタのゲートがカットオフされたバイアス状態で、ゲートをフローティング状態とすることにより、ゲートと外部との間の容量を利用してゲートに負電位を付与することができる。これによりゲートの下のポテンシャル分布を変化させて、ゲート下の電荷の移動を抑制することができる。従って、暗電流の発生を低減して良好な信号出力を得ることができ、良好な画質の固体撮像装置を構成することができる。

【0094】また、転送用トランジスタのゲートに接続されるトランジスタのソース・ドレイン領域の接合近傍にリーク電流が発生する結晶欠陥が形成されている構成としたときには、接合近傍に形成された結晶欠陥に起因するリーク電流によって、さらに転送ゲートに充分な負電位が印加できるため、より効果的に暗電流を抑制することができる。

20 【図面の簡単な説明】

【図1】本発明の一実施の形態の固体撮像装置の回路構成図である。

【図2】図1の固体撮像装置の駆動タイミングチャートである。

【図3】本発明の他の実施の形態の固体撮像装置の回路構成図である。

【図4】図3の固体撮像装置の駆動タイミングチャートである。

【図5】本発明の別の実施の形態の固体撮像装置の回路構成図である。

【図6】図5の固体撮像装置の駆動タイミングチャートである。

【図7】原理を説明する図である。

【図8】本発明の固体撮像装置のさらに他の実施の形態を示す図である。

A 転送トランジスタ部及び転送選択トランジスタ部の平面図である。

B 図8AのA-Aにおける断面図である。

C 図8Bの要部の拡大図である。

40 【図9】図8の固体撮像装置における電子の移動を説明する図である。

【図10】A～E 図8の固体撮像装置の一製法を示す工程図である。

【図11】A～E 図8の固体撮像装置の他の製法を示す工程図である。

【図12】素子分離領域を埋め込み絶縁層で形成した形態を示す図である。

【図13】従来の固体撮像装置の回路構成図である。

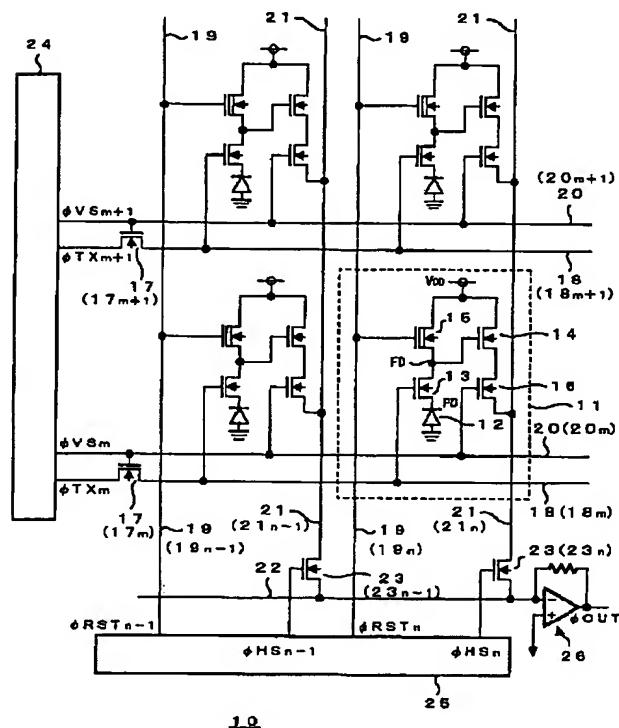
【図14】図13の固体撮像装置の駆動タイミングチャートである。

## 【符号の説明】

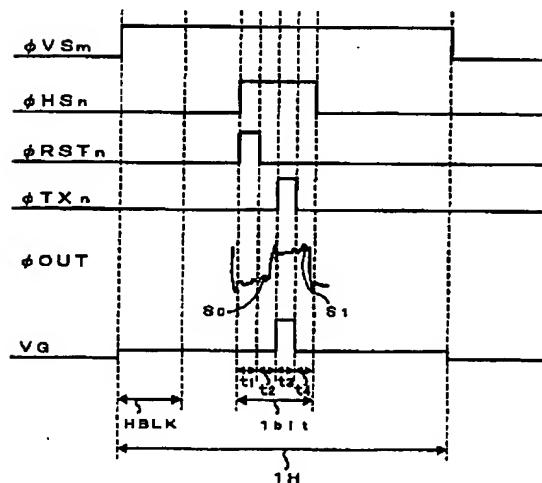
10, 30, 40 固体撮像装置、11 単位画素、12, PD フォトダイオード、13 転送トランジスタ、14 増幅トランジスタ、15 リセットトランジスタ、16 垂直選択トランジスタ、17 転送選択トランジスタ、18 垂直読み出し線、19 水平リセット線、20 垂直選択線、21 垂直信号線、22 水平信号線、23 水平選択トランジスタ、24 垂直走査回路、25 水平走査回路、26 電流電圧変換回路、

28 水平読み出し線、51, 54 ゲート、52 低濃度n型領域、53 配線、55 高濃度n型領域、56, 65 素子分離領域、57 絶縁膜、58 LDD領域、59 p型領域、60, 66 結晶欠陥、61 A, 61B 空乏領域、71 絶縁層、72 エッチバック、73, 75 レジスト、74 高濃度イオン注入、76 エッチング、FD フローティングディフュージョン

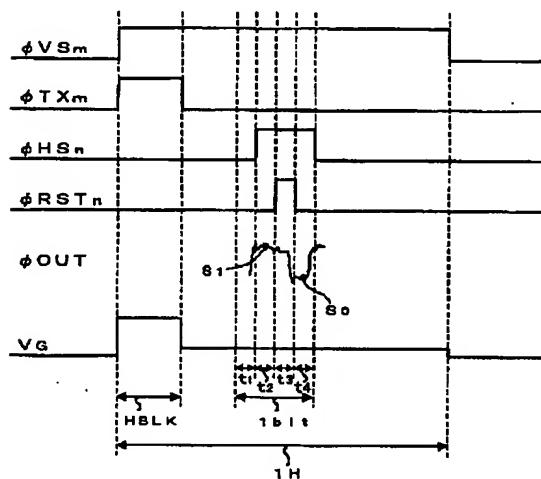
【図1】



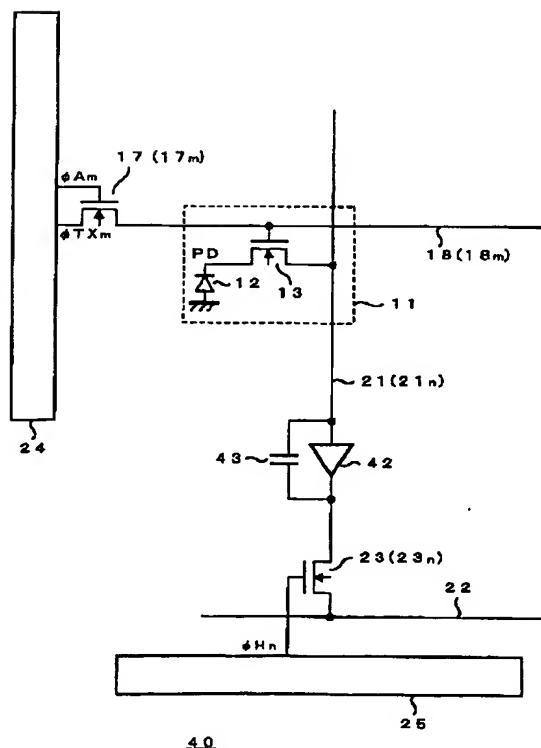
【図4】



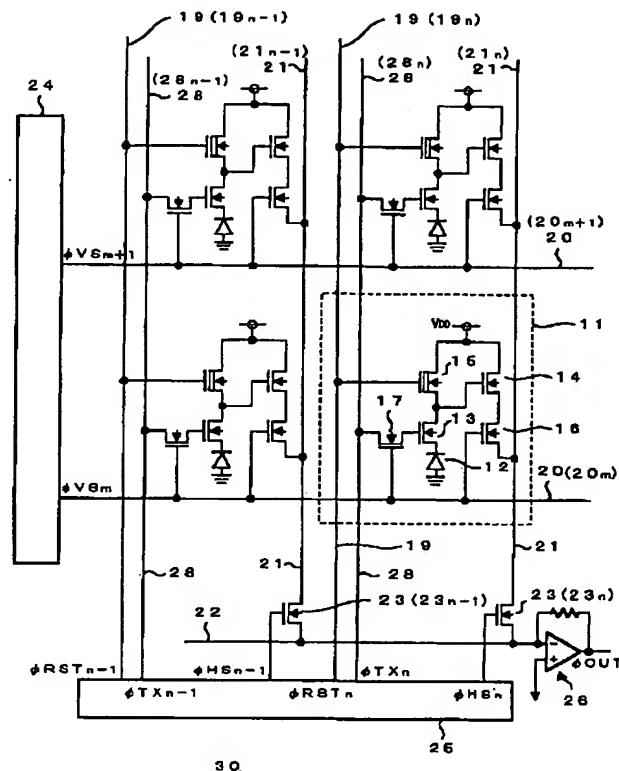
【図2】



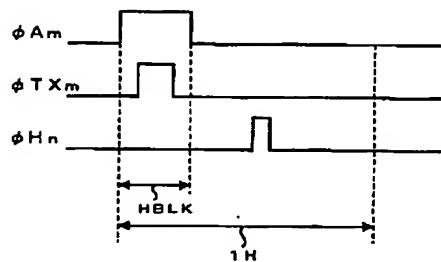
【図5】



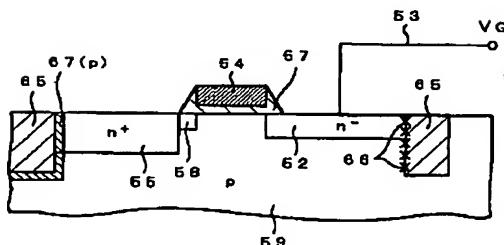
【図3】



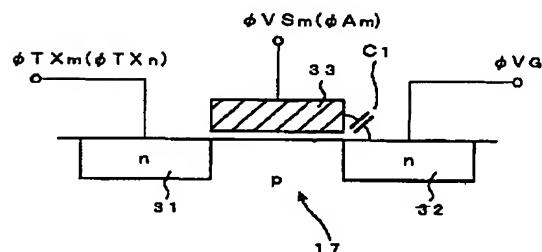
【図6】



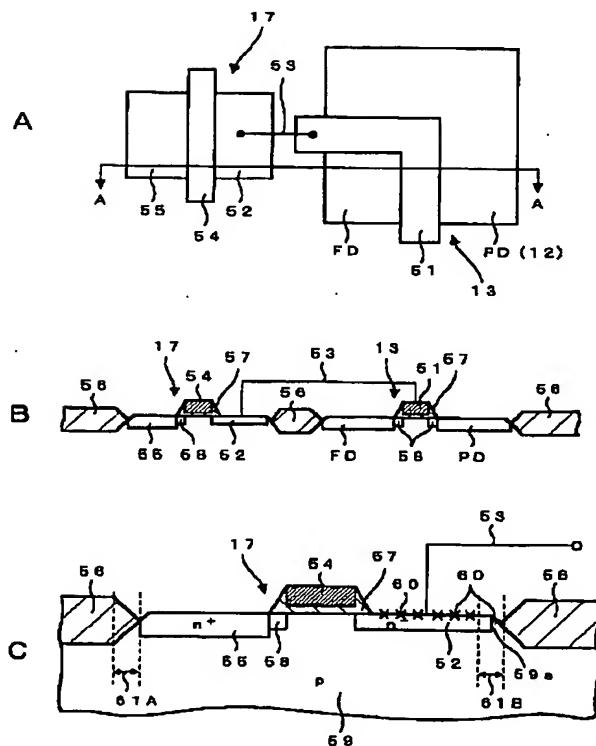
【図12】



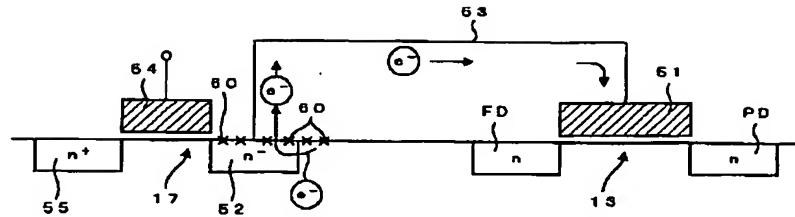
【図7】



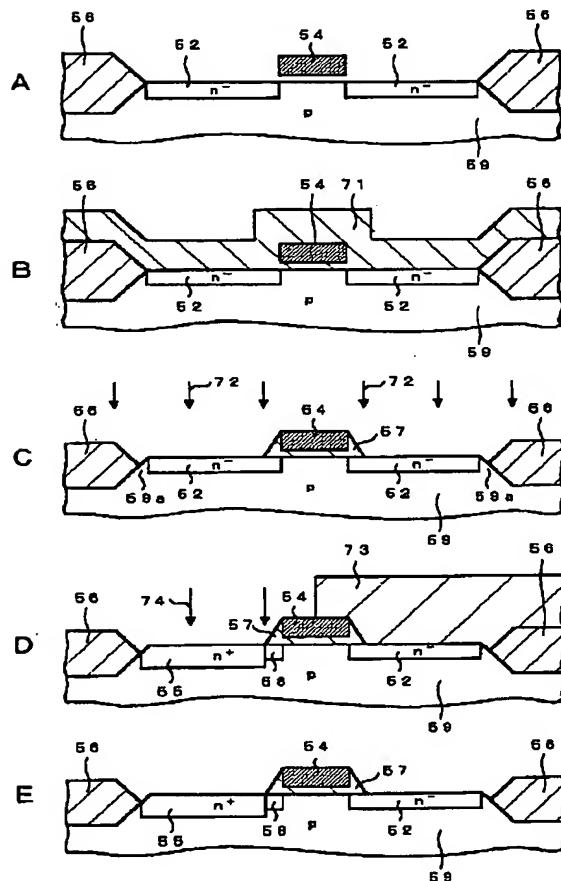
【図8】



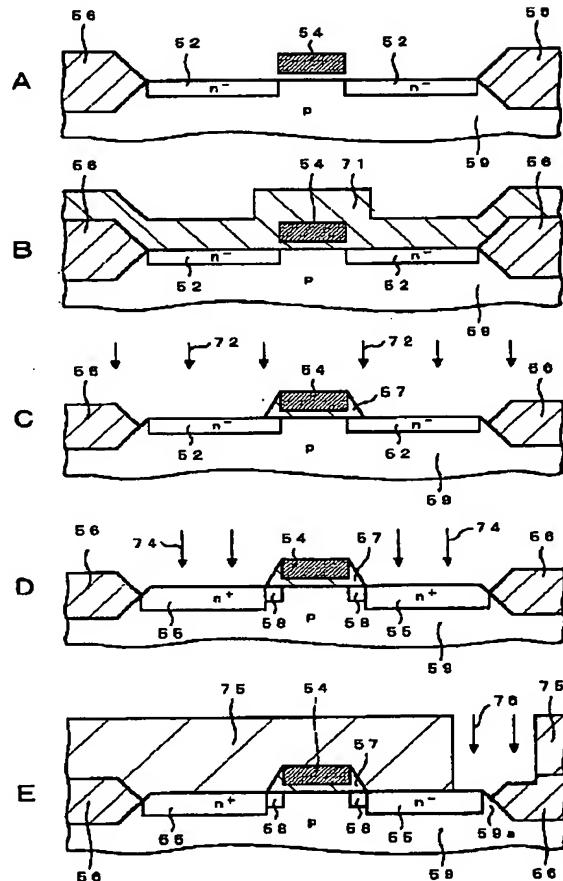
【图9】



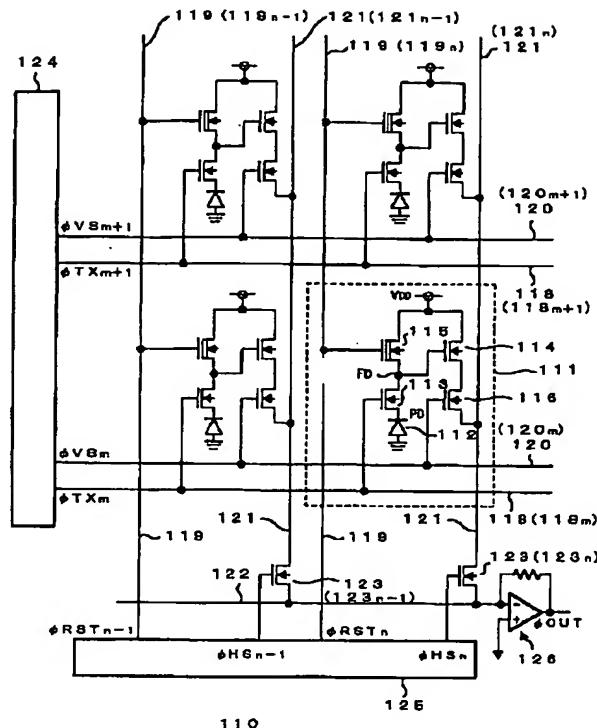
【図10】



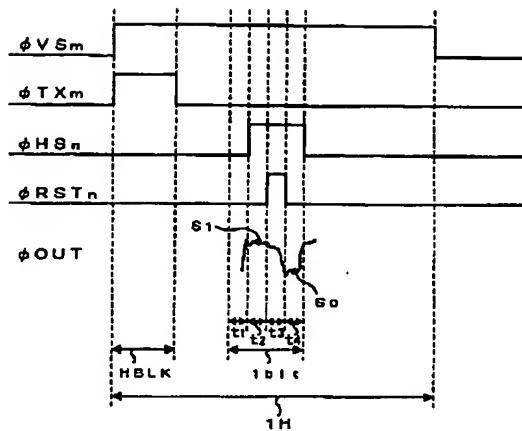
[図 11]



【図13】



【図14】



フロントページの続き

(72)発明者 鈴木 亮司  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

(72)発明者 馬渕 圭司  
東京都品川区北品川6丁目7番35号 ソニ  
一株式会社内

Fターム(参考) 4M118 AA05 AB01 BA14 CA03 DB01  
DD09 EA01 FA06 FA28 FA33  
5C024 AA01 CA11 GA01 GA32 GA41  
JA22